

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-140283

(43)Date of publication of application : 20.05.1994

(51)Int.Cl.

H01G 4/42

H01G 4/30

(21)Application number : 04-348588

(71)Applicant : ELECTRON & TELECOMMUN
RES INST
KOREA TELECOMMUN
AUTHORITY

(22)Date of filing : 28.12.1992

(72)Inventor : LEE CHANG H
LEE SUK J
LEE SOK-JIN
CHOY TAE G

(30)Priority

Priority number : 91 9126046
91 9126047Priority date : 30.12.1991
30.12.1991

Priority country : KR

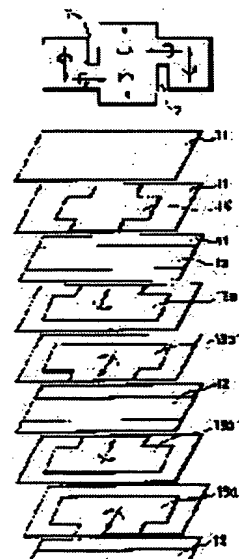
KR

(54) CHIP-TYPE CAPACITOR FOR REMOVING HIGH-FREQUENCY NOISE

(57)Abstract:

PURPOSE: To reduce high-frequency and equivalent series resistance and inductance of an internal electrode by allowing a high-frequency noise channel electrode to comprise an internal electrode where a protruding/recessed part, which is recessed inward, is formed so that the electromagnetic fields formed by the current generated when high-frequency noise is removed, are mutually canceled.

CONSTITUTION: In order that the current directions generated by noise to be removed are apposite to each other, a specified part on the right side of both side-



contact surfaces, connected to a grounded terminal, are deeply recessed (cut out) and removed in reverse directions, so that a irregularity part 7 is formed at an internal electrode 12. However, laminated for each internal of the internal electrode 12 used as a part of signal line, two or more internal electrodes 13a' and 13a" connected to the earth terminal are connected only to the one ground terminal, which alternate in reverse directions, for forming an internal electrode. The internal electrode 13a' is formed in an opposite direction, for current, to that flowing in the internal electrode 13a", thus electromagnetic fields are mutually canceled.

LEGAL STATUS

[Date of request for examination] 14.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2878919

[Date of registration] 22.01.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] An electrode for touch-down of a lot which is the structure which carried out the laminating of an internal electrode for signal lines, and the internal electrode used as a path of a RF noise to a multilayer through a dielectric, and carried out the laminating to the maximum upper layer and the lowest layer An electrode for RF noise paths which carried out the laminating at a time to an electrode for signal lines more than a lot which carried out the laminating to an a large number layer in said inter-electrode one for touch-down, and the inter-electrode one of said each class for signal lines one or more, respectively It is the chip mold capacitor for RF noise rejection equipped with the above, and said electrode for RF noise paths is characterized by having an internal electrode in which the concavo-convex section which caved in to the inside so that electromagnetic field formed of current generated at the time of RF noise rejection might be offset mutually was formed.

[Claim 2] It is the chip mold capacitor for RF noise rejection characterized by having changed the laminating of said electrode for RF noise paths by turns into the condition of having turned over an electrode with which said concavo-convex section was formed with the condition of having placed correctly, and having placed it, in claim 1, and constituting.

[Claim 3] 3 terminal chip mold capacitor equipped with an earth terminal connected with an external terminal and a grounding conductor which are characterized by providing the following, and which carry out the laminating of an internal electrode used as some signal lines, and the internal electrode grounded to a multilayer through a dielectric, and are connected with a signal line An electrode means for signal lines which is connected with both sides of said earth terminal, respectively, and a laminating is carried out at least more than a lot, and is used as some signal lines An electrode means for RF noise paths formed so that a laminating might be carried out, respectively between electrode means for both signal lines to accomplish a lot of said electrode means for signal lines and at least two or more electrodes might be connected only with a hard flow earth terminal by turns, respectively

[Claim 4] Said electrode means for RF noise paths is a chip mold capacitor for RF noise rejection characterized by being formed in a convex type configuration acquired by connecting while with an earth terminal from a cross configuration in claim 3, and removing a protrusion side.

[Claim 5] 3 terminal chip mold capacitor equipped with an earth terminal connected with an external terminal and a grounding conductor which are characterized by providing the following, and which carry out the laminating of an internal electrode used as some signal lines, and the internal electrode grounded to a multilayer through a dielectric, and are connected with a signal line An electrode means for touch-down of a lot by which is connected to both sides of said earth terminal, respectively, and a laminating is carried out to the maximum upper layer and the lowest layer An electrode means for signal lines which a laminating is carried out, and a laminating is carried out at least more than a lot, and is used as some signal lines between electrode means for touch-down of said lot An electrode means for RF noise paths which is the electrode by which the laminating was carried out one [at a time], respectively between electrode means for both signal lines to accomplish a lot of said electrode means for signal lines, and was formed so that an electrode by which the laminating was carried out between

electrode means for signal lines of said each class might be connected only with a hard flow earth terminal by turns, respectively

[Claim 6] Said electrode means for RF noise paths is a chip mold capacitor for RF noise rejection characterized by being formed in a configuration acquired by connecting while to an earth terminal from a cross configuration in claim 5, and removing a protrusion side.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the chip mold capacitor for RF noise rejection which has improved the internal electrode configuration especially about the electronic parts used in order to remove the RF noise generated from electronic equipment, such as a computer and communication equipment.

[0002]

[Description of the Prior Art] In order to remove the RF noise contained in the signal line as an example of the conventional technology, the laminated structure and internal electrode configuration of 3 terminal capacitor which are put between a signal line and touch-down (ground) are shown in drawing 1.

[0003] Drawing 1 shows the conventional 3 terminal chip mold capacitor, and in order to reduce the equivalent series resistance of the internal electrode connected with touch-down, it shows the laminated structure of 3 terminal chip mold capacitor which carried out the laminating with two internal electrodes.

[0004] In drawing 1, internal electrodes 2 are external terminal 4' of 3 terminal chip mold capacitor which shows appearance to drawing 2, and an electrode used as some signal lines which are electrically connected with 4" and transmit a signal. An internal electrode 3 is an electrode used as a path of earth terminal 5' shown in drawing 2, and the RF noise removed by connecting with 5" electrically.

[0005] 3 terminal capacitor removes signal-line 6' and the RF noise which is put in between 6" (refer to the equal circuit shown in drawing 3), and flows to this signal line.

[0006] The electrical equivalent circuit of such a 3 terminal chip mold capacitor is shown in drawing 3.

[0007] It sets to drawing 3 and is LP. RP It is the inductance and resistance component of an internal electrode which are used as some signal lines, and is LS. RS It is the inductance and resistance component of an internal electrode which are connected with touch-down and used as a path of a RF noise. C is the electrostatic capacity by the dielectric between the internal electrode 2 used as a signal line, and the internal electrode 3 connected with touch-down, and G is the inverse number of dielectric resistance and is equivalence juxtaposition conductance.

[0008] Generally, 3 terminal chip mold capacitor has become with the structure which carried out the laminating of the dielectric to plurality in between about the internal electrode used as some signal lines, and the internal electrode connected with touch-down. The frequency of the noise which a RF noise component is removed through the internal electrode connected with a dielectric and touch-down when a signal frequency component and a RF noise component are mixed and the internal electrode used as some signal lines is passed, and is removed is the inductance LS of the internal electrode connected with electrostatic capacity C and touch-down. It is determined.

[0009] Therefore, in order to remove the noise of a RF with the same electrostatic capacity, the inductance value of the internal electrode connected with touch-down must be made small. Furthermore, in order to suppress generating and the temperature rise of heat which are based on the RF noise

removed, equivalent series resistance which is the real part of the element impedance by the internal electrode 3 connected with the dielectric and touch-down of 3 terminal chip mold capacitor must be made small.

[0010] And when taking into consideration the point that the internal electrode quality of the material of 3 terminal chip mold capacitor occupies about 50 - 80% of a manufacture unit price, a manufacture unit price can be reduced, so that area of an internal electrode is made small.

[0011]

[Problem(s) to be Solved by the Invention] However, since it had the trouble that the heat based on the RF noise removed in the conventional chip mold capacitor occurs, and element temperature rises and also the area of the internal electrode made from the expensive quality of the material was large, the trouble of it having been noneconomic and having invited the increment in a manufacturing cost had been connoted.

[0012] Therefore, in order that the 1st purpose of this invention may solve the above-mentioned various trouble By designing an internal electrode so that the sense of the current which flows from the internal electrode 3 connected with the touch-down of 3 terminal chip mold capacitor may become reverse mutually, and making the electromagnetic field generated according to the current offset mutually It is in offering the chip mold capacitor for RF noise rejection which has the internal electrode with which the uneven section for decreasing the equivalent series resistance and the inductance of an internal electrode by the RF was formed.

[0013] The 2nd purpose of this invention is by designing the structure so that the sense of the current which flows to a lower layer internal electrode when connecting with touch-down may become reverse mutually, and making the electromagnetic field generated according to the current at the time of RF noise rejection offset mutually to offer the chip mold capacitor for RF noise rejection which decreases the equivalent series resistance and the inductance of an internal electrode by the RF.

[0014]

[Means for Solving the Problem] An electrode for touch-down of a lot which this invention is the structure which carried out the laminating of an internal electrode for signal lines, and the internal electrode used as a path of a RF noise to a multilayer through a dielectric in order to attain the above-mentioned purpose, and carried out the laminating to the maximum upper layer and the lowest layer, In a chip mold capacitor equipped with an electrode for RF noise paths which carried out the laminating at a time to an electrode for signal lines more than a lot which carried out the laminating to an a large number layer in said inter-electrode one for touch-down, and the inter-electrode one of said each class for signal lines one or more, respectively Said electrode for RF noise paths is characterized by having an internal electrode in which the concavo-convex section which caved in to the inside so that electromagnetic field formed might be mutually offset according to current generated at the time of RF noise rejection was formed.

[0015] In order that this invention may attain the another above-mentioned purpose, an internal electrode used as some signal lines and an internal electrode connected with touch-down place a dielectric in between, and the laminating is carried out to many layers. An electrode means for touch-down of a lot by which a laminating is carried out to the maximum upper layer and the lowest layer in 3 terminal chip mold capacitor equipped with an earth terminal connected with an external terminal and a grounding conductor which are connected with a signal line; although a laminating is carried out between electrode means for touch-down of a up Norikazu group Although a laminating is carried out, respectively between electrode means for both signal lines to accomplish a lot of the electrode means for signal lines; and the above-mentioned electrode means for signal lines which a laminating is carried out at least more than a lot, and are used as some signal lines A chip mold capacitor for RF noise rejection equipped with an electrode means for RF noise paths formed so that at least two or more electrodes might be connected only with a mutual hard flow earth terminal by turns, respectively is offered.

[0016] Moreover, an electrode means of a lot by which is connected with an earth terminal of the above-mentioned both sides, respectively, and a laminating is carried out to the maximum upper layer and the lowest layer; although a laminating is carried out between electrode means for touch-down of a up

Norikazu group The laminating of every one is carried out, respectively between electrode means for both signal lines to accomplish a lot of the electrode means for signal lines; and the above-mentioned electrode means for signal lines which a laminating is carried out at least more than a lot, and are used as some signal lines. A chip mold capacitor for RF noise rejection equipped with an electrode means for RF noise paths formed so that an electrode by which the laminating was carried out between electrode means for signal lines of above-mentioned each class might be connected only with a mutual hard flow earth terminal by turns, respectively is offered.

[0017]

[Example] Hereafter, the example of this invention is explained in details.

[0018] Drawing 4 thru/or drawing 6 are internal electrode configuration drawings which applied this invention, and shows an example mutually different, respectively. In each of these drawings, 7 is the concavo-convex section formed in the internal electrode.

[0019] In order to make it the flow of the current generated by the RF noise removed conflict mutually, drawing 4 carries out cave-in (notching) removal of the aliquot on the right-hand side of [which is connected with an earth terminal] a both-sides plane of composition deeply to hard flow, and forms the concavo-convex section 7, as it is shown in a drawing.

[0020] Therefore, when the laminating of the above-mentioned structure and the structure turned over and placed is carried out by turns at the time of the laminating of an a large number layer, the electromagnetic field generated by the flow of opposite current are offset mutually, equivalent series resistance is decreased by the RF, and an inductance is also made to decrease.

[0021] the structure (refer to drawing 4) which carried out cave-in (notching) removal of the aliquot on the right-hand side of [which drawing 5 is another example, and is connected with an earth terminal in order to make it the sense of the current generated by the RF noise removed conflict mutually as shown in a drawing] a both-sides plane of composition deeply to the earth terminal side of the opposite side -- in addition Furthermore, cave-in (notching) removal is carried out with fixed width of face and the fixed depth to a both-sides external terminal side, and the concavo-convex section 7 is formed.

[0022] Therefore, when carrying out the laminating of the internal electrode which has such a configuration to a multilayer, by carrying out the laminating of the structure which turned over with the structure placed correctly and was placed by turns, and making the flow of generating current conflict, the electromagnetic field formed can be offset mutually and the equivalent series resistance and the inductance in a RF can greatly be decreased.

[0023] Drawing 6 is still more nearly another example, carries out cave-in removal of the aliquot on the right-hand side of [which is connected with an earth terminal] a both-sides plane of composition deeply so that it may incline at a fixed angle in the direction of an outside, respectively, and forms the concavo-convex section 7 as shown in a drawing.

[0024] By carrying out the laminating of the structure which turned over with the structure placed correctly and was placed by turns, and making it form so that the flow of the current to generate may be conflicted, when carrying out the laminating of the internal electrode which has such a configuration to a multilayer like the above-mentioned case, electromagnetic field are offset mutually and the equivalent series resistance and the inductance in a RF decrease.

[0025] Furthermore, although an actual area of the internal electrode which must use the expensive quality of the material comes to decrease in each above-mentioned example only about the concavo-convex section 7 which was collapsed and was formed, in order to carry out the laminating of the structure which turned over with the structure placed correctly and was placed by turns, the effective electrode area which determines electrostatic capacity does not decrease.

[0026] Drawing 7 shows other internal electrode configurations and laminated structures in an example of this invention. a book -- a Fig. -- setting -- 11 -- a dielectric -- 12 -- a signal line -- a part -- ***** -- using -- having -- an internal electrode -- 13 -- a -- ' -- and -- 13 -- a -- " -- touch-down (ground) -- connecting -- having -- a RF -- a noise -- a path -- ***** -- using -- an internal electrode -- 14 -- ' -- and -- 14 -- " -- touch-down -- connecting -- having -- the maximum -- the upper layer -- an internal electrode -- and -- the lowest -- a

[0027] Internal electrode 14' of the maximum upper layer and the lowest layer and 14" are altogether connected with the earth terminal (5' in drawing 2, 5") of both sides. Even if one earth terminal 5' of 3 terminal chip mold capacitor or 5" separate from a grounding conductor, internal electrode 13a', 13a", etc. enable it to carry out a function, when making it in agreement [potentials, such as internal electrode 13a' which makes it such and is connected with touch-down, and 13a",] and actually using 3 terminal chip mold capacitor.

[0028] However, a laminating is carried out, respectively for between [every] the internal electrodes 12 used as some signal lines. Two or more internal electrode 13a' connected with an earth terminal, 13a", etc. form an internal electrode, respectively so that it may connect only with one earth terminal 6' of mutual hard flow, and 6" by turns. Electromagnetic field are offset mutually, the equivalent series resistance in a RF can be decreased, and an inductance is also made to decrease, when making it the sense of the current which flows to internal electrode 13a" disagree with internal electrode 13a' mutually.

[0029]

[External Character 1]

本実施例においては、上記内部電極 13 a' , 13 a" として、十文字 (⊕)

[0030] The structure (convex) where while was connected with the earth terminal from ***** structure, and the near protrusion side was made to remove was adopted.

[0031] Drawing 8 shows the internal electrode configuration and laminated structure of another example to the pan by this invention. In this Fig., the internal electrode with which a dielectric and 22 are used for 21 as some signal lines, 23b', and 23b" show the internal electrode for RF noise paths, 24', and 24" of internal electrodes of the maximum upper layer connected with touch-down, and the lowest layer, respectively.

[0032] In the case of this example, for between [every] the internal electrodes 22 which operate with a signal line as illustration It is the structure to which internal electrode 23b' connected with touch-down or every one 23b" was assigned to, and carried out the laminating, respectively. The internal electrode is formed so that internal electrode 23 for RF noise paths b' by which a laminating is carried out between internal electrodes 22, or 23b" may be connected only with one side earth terminal 6' of mutual hard flow, or 6" by turns. The electromagnetic field by the current which flows the internal electrode are made to offset mutually, and the equivalent series resistance and the inductance in a RF are decreased.

[0033]

[External Character 2]

本実施例においても上記内部電極 23 b' , 23 b" として、十文字 (⊕) の

[0034] The structure (convex) where one touch-down contact surface was made to remove from structure conventionally was adopted.

[0035] and -- this invention -- setting -- the above -- drawing 7 -- and -- drawing 8 -- being shown -- an internal electrode -- a configuration -- 13 -- a -- ' -- 13 -- a -- " -- 23 -- b -- ' -- 23 -- b -- " -- a passage -- the former -- an internal electrode -- a configuration -- three -- comparing -- electrostatic capacity -- reduction -- following -- without -- being expensive -- the quality of the material -- it must use -- an internal electrode -- area -- decreasing -- it can make .

[0036]

[Effect of the Invention] Therefore, the effect of describing this invention as above-mentioned below is acquired.

[0037] Although the quality of the material of an internal electrode will be used fewer compared with the former, since the effective electrode area which determines electrostatic capacity with the internal electrode (2) used as some signal lines and the internal electrode connected with touch-down is the same and the equivalent series resistance of an element can be mostly decreased so that there is no reduction in electrostatic capacity and frequency becomes high, generating and the temperature rise of heat by

power loss can be prevented.

[0038] Moreover, since many inductances in the RF of the internal electrode connected with touch-down also decrease and its impedance in high frequency also decreases, the advantage which becomes advantageous to removing a RF noise is acquired.

[0039] Furthermore, since the amount of the expensive internal electrode quality of the material used becomes less, a manufacture unit price is reducible.

[0040] And in using the chip mold capacitor for RF noise rejection by this invention for the RF noise rejection which poses a problem in the signal line of electronic equipment, such as a computer and communication equipment, the operation effect becomes according to a rank with size.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is structural drawing which carried out the laminating of the internal electrode connected with touch-down (ground) in 3 terminal chip mold capacitor known from the former to the pair.

[Drawing 2] It is outline drawing of general 3 terminal chip mold capacitor.

[Drawing 3] It is the electrical equivalent circuit diagram of 3 terminal chip mold capacitor.

[Drawing 4] It is internal electrode configuration drawing in one example of this invention.

[Drawing 5] It is internal electrode configuration drawing in one example of others of this invention.

[Drawing 6] It is internal electrode configuration drawing in one example of others of this invention.

[Drawing 7] It is internal electrode configuration drawing in one example of others of this invention.

[Drawing 8] It is internal electrode configuration drawing in one example of others of this invention.

[Description of Notations]

1, 11, 21 Dielectric

2, 12, 22 Internal electrode for signal lines

3, 13, 23 Internal electrode for RF noise paths

4', 4" External terminal

5', 5" Earth terminal

6', 6" Signal line

7 Uneven Section of Internal Electrode

[Translation done.]

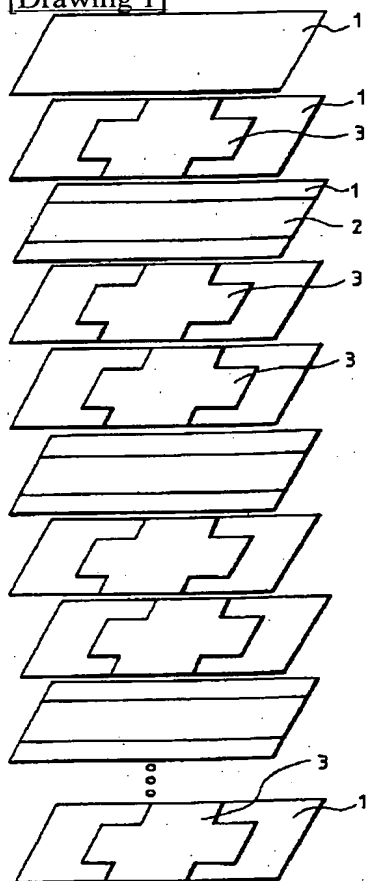
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

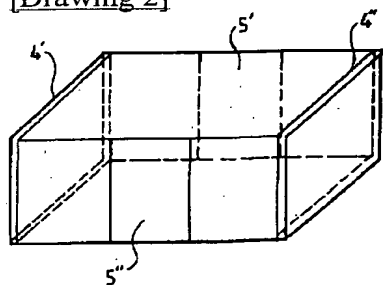
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

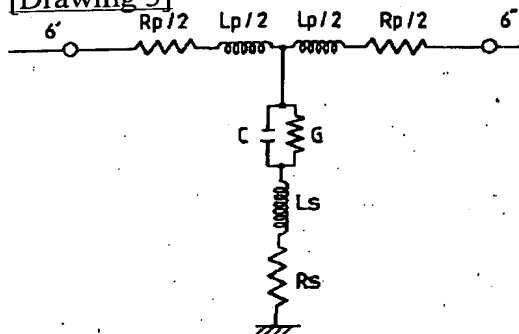
[Drawing 1]



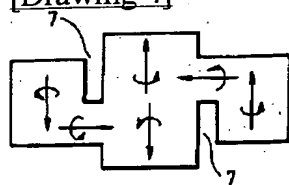
[Drawing 2]



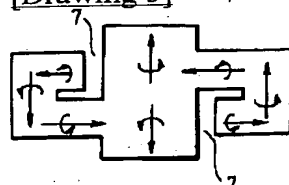
[Drawing 3]



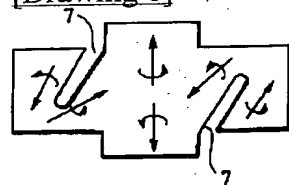
[Drawing 4]



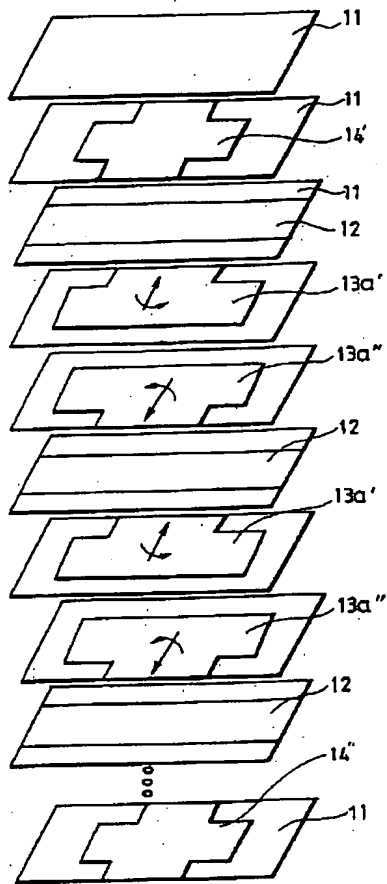
[Drawing 5]



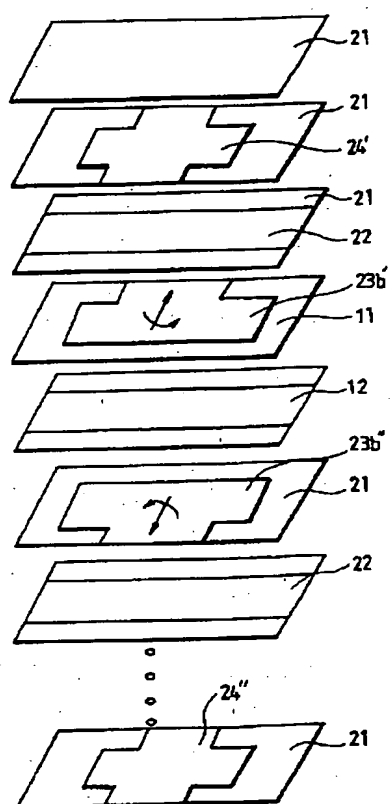
[Drawing 6]



[Drawing 7]



[Drawing 8]



[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-140283

(43) 公開日 平成6年(1994)5月20日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G	4/42	3 3 1	9174-5 E	
	4/30	3 0 1 F	8019-5 E	
		C	8019-5 E	
		A	8019-5 E	

審査請求 未請求 請求項の数 6

(全 6 頁)

(21) 出願番号 特願平4-348588

(22) 出願日 平成4年(1992)12月28日

(31) 優先権主張番号 1991-26046

(32) 優先日 1991年12月30日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 1991-26047

(32) 優先日 1991年12月30日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 590001625

エレクトロニクス アンド テレコミュニ
ケーションズ リサーチ インスティテュ
ート

大韓民国 デージョン スウォク ガジョ
ンドン 161

(71) 出願人 590001636

コリア テレコミュニケーション オーソ
リティ

大韓民国 ソウル チヨングノグ スージ
ョンノ 100

(74) 代理人 弁理士 谷 義一 (外1名)

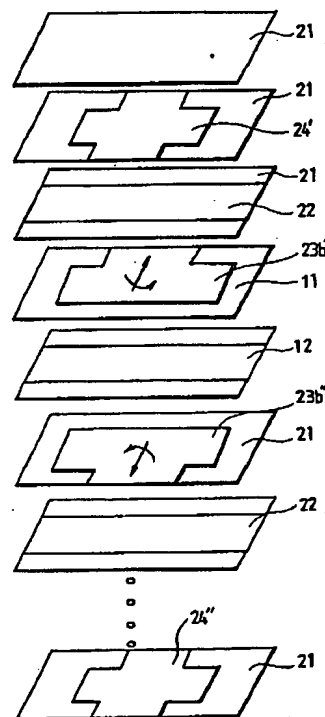
最終頁に続く

(54) 【発明の名称】 高周波ノイズ除去用チップ型キャパシター

(57) 【要約】

【構成】 21は誘電体、22は信号線の一部分として用いられる内部電極、23b'及び23b''は高周波ノイズ通路用内部電極、24'及び24''は接地と連結される最上層及び最下層の内部電極を夫々示す。内部電極22間毎に、接地に連結される内部電極23b'又は23b''を夫々一つずつ割当てて積層させた構造であって、内部電極22間に積層される高周波ノイズ通路用内部電極23b'又は23b''が交互に相互逆方向の一方接地端子6'又は6''にのみ連結されるようにその内部電極を形成し、その内部電極を流れる電流による電磁場を互いに相殺させて高周波での等価直列抵抗及びインダクタンスを減少させている。

【効果】 従来の内部電極形状3に比して静電容量の減少を伴うことなく、高価な材質を用いなければならない内部電極の面積を減少させることができる。



【特許請求の範囲】

【請求項1】 信号線用内部電極と高周波ノイズの通路として利用する内部電極とを誘電体を介して多層に積層した構造であって、最上層及び最下層に積層した一組の接地用電極と、前記接地用電極間において多数層に積層した一組以上の信号線用電極および前記各組の信号線用電極間に夫々一つ以上ずつ積層した高周波ノイズ通路用電極を備えたチップ型キャパシターにおいて、前記高周波ノイズ通路用電極は、高周波ノイズ除去時に発生する電流により形成される電磁場を互いに相殺するように内側へ陥没した凹凸部を形成した内部電極を有することを特徴とする高周波ノイズ除去用チップ型キャパシター。

【請求項2】 請求項1において、前記高周波ノイズ通路用電極は、前記凹凸部が形成された電極を正しく置いた状態と裏返して置いた状態に交互に積層して構成したことを特徴とする高周波ノイズ除去用チップ型キャパシター。

【請求項3】 信号線の一部として用いられる内部電極と接地される内部電極とを誘電体を介して多層に積層し、信号線に連結される外部端子及び接地線に連結される接地端子を備えた3端子チップ型キャパシターにおいて、前記接地端子の両側に夫々連結され、少なくとも一組以上に積層されて信号線の一部として用いられる信号線用電極手段と、前記信号線用電極手段の一組を成す両信号線用電極手段間に夫々積層し、少なくとも二つ以上の電極が夫々交互に逆方向接地端子にのみ連結されるように形成した高周波ノイズ通路用電極手段とを具備したことを特徴とする高周波ノイズ除去用チップ型キャパシター。

【請求項4】 請求項3において、前記高周波ノイズ通路用電極手段は、十文字形状から接地端子に連結される一方の突出面を除去することにより得られる凸型形状に形成されていることを特徴とする高周波ノイズ除去用チップ型キャパシター。

【請求項5】 信号線の一部として用いられる内部電極と接地される内部電極とを誘電体を介して多層に積層し、信号線に連結される外部端子及び接地線に連結される接地端子を備えた3端子チップ型キャパシターにおいて、前記接地端子の両側に夫々連絡され、最上層及び最下層に積層される一組の接地用電極手段と、前記一組の接地用電極手段間に積層され、少なくとも一組以上に積層されて信号線の一部として用いられる信号線用電極手段と、前記信号線用電極手段の一組を成す両信号線用電極手段間に夫々一つずつ積層された電極であって、前記各組の信号線用電極手段間に積層された電極が夫々交互に逆方向接地端子にのみ連結されるように形成した高周波ノイ

ズ通路用電極手段とを具備したことを特徴とする高周波ノイズ除去用チップ型キャパシター。

【請求項6】 請求項5において、前記高周波ノイズ通路用電極手段は、十文字形状から接地端子に接続される一方の突出面を除去することにより得られた形状に形成されていることを特徴とする高周波ノイズ除去用チップ型キャパシター。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はコンピュータ、通信機器等の電子機器から発生する高周波ノイズを除去するために用いる電子部品に関し、特に、内部電極形状を改善した高周波ノイズ除去用チップ型キャパシターに関する。

【0002】

【従来の技術】 従来技術の一例として、信号線に含まれた高周波ノイズを除去するために信号線と接地（アース）間に挿し込む3端子キャパシターの積層構造及び内部電極形状を図1に示す。

【0003】 図1は従来の3端子チップ型キャパシターを示したものであって、接地に連結される内部電極の等価直列抵抗を減らすために、二つの内部電極で積層した3端子チップ型キャパシターの積層構造を示す。

【0004】 図1において、内部電極2は、図2に外観を示す3端子チップ型キャパシターの外部端子4'、4''と電氣的に連結されて信号を伝達する信号線の一部として用いる電極である。内部電極3は、図2に示す接地端子5'、5''と電氣的に連結されることにより除去される高周波ノイズの通路として用いる電極である。

【0005】 3端子キャパシターは、信号線6'、6''（図3に示す等価回路参照）間に挿し込まれて、この信号線に流れる高周波ノイズを除去する。

【0006】 このような3端子チップ型キャパシターの電氣的等価回路を図3に示す。

【0007】 図3において、 L_P と R_P は信号線の一部として用いられる内部電極のインダクタンスと抵抗成分であり、 L_S と R_S は接地に連結されて高周波ノイズの通路として用いられる内部電極のインダクタンスと抵抗成分である。 C は、信号線として用いられる内部電極2と接地に連結される内部電極3との間の誘電体による静電容量であり、 G は誘電体抵抗の逆数であって等価並列コンダクタンスである。

【0008】 一般的に、3端子チップ型キャパシターは、信号線の一部として用いられる内部電極と接地に連結される内部電極を、誘電体を間において複数に積層した構造になっている。信号線の一部として利用する内部電極を信号周波数成分と高周波ノイズ成分が混合されて通過するとき、誘電体と接地に連結される内部電極を通じて高周波ノイズ成分が除去され、除去されるノイズの周波数は静電容量 C と接地に連結される内部電極の

インダクタンス L_s により決定される。

【0009】従って、同一の静電容量で高周波のノイズを除去するためには、接地に連結される内部電極のインダクタンス値を小さくしなければならない。更に、除去される高周波ノイズに因る熱の発生と温度上昇を抑えるためには、3端子チップ型キャパシタの誘電体と接地に連結される内部電極3による素子インピーダンスの実数部である等価直列抵抗を小さくしなければならない。

【0010】そして、3端子チップ型キャパシタの内部電極材質が製造単価の50～80%程を占める点を考慮するとき、内部電極の面積を小さくする程製造単価を節減できることになる。

【0011】

【発明が解決しようとする課題】しかしながら、従来のチップ型キャパシタにおいては、除去される高周波ノイズに因る熱が発生して素子温度が上昇するという問題点を有するほか、高価な材質で作られた内部電極の面積が広いと、非経済的であり製造コストの増加を招来しているという問題点を内包していた。

【0012】よって本発明の第1の目的は、上記諸般の問題点を解決するために、3端子チップ型キャパシタの接地に連結される内部電極3から流れる電流の向きが互いに逆になるよう内部電極を設計し、その電流により発生する電磁場を互いに相殺させることにより、高周波で内部電極の等価直列抵抗とインダクタンスを減少するための凸凹部が形成された内部電極を有する高周波ノイズ除去用チップ型キャパシタを提供することにある。

【0013】本発明の第2の目的は、接地に連結されている上・下層の内部電極に流れる電流の向きが互いに逆になるようその構造を設計し、高周波ノイズ除去時の電流により発生する電磁場を互いに相殺させることにより、高周波で内部電極の等価直列抵抗とインダクタンスを減少させる高周波ノイズ除去用チップ型キャパシタを提供することにある。

【0014】

【課題を解決するための手段】本発明は、上記の目的を達成するために、信号線用内部電極と高周波ノイズの通路として利用する内部電極とを誘電体を介して多層に積層した構造であって、最上層及び最下層に積層した一組の接地用電極と、前記接地用電極間において多数層に積層した一組以上の信号線用電極および前記各組の信号線用電極間に夫々一つ以上ずつ積層した高周波ノイズ通路用電極を備えたチップ型キャパシタにおいて、前記高周波ノイズ通路用電極は、高周波ノイズ除去時に発生する電流により、形成される電磁場を互いに相殺するように内側へ陥没した凹凸部を形成した内部電極を有することを特徴とする。

【0015】本発明は、上記の別の目的を達成するために、信号線の一部として用いられる内部電極と接地に連結される内部電極が誘電体を間に置いて多数の層に積層

されており、信号線に連結される外部端子及び接地線に連結される接地端子を備えている3端子チップ型キャパシタにおいて、最上層及び最下層に積層される一組の接地用電極手段；上記一組の接地用電極手段間に積層されるが、少くとも一組以上に積層されて信号線の一部として用いられる信号線用電極手段；及び上記信号線用電極手段の一組を成す両信号線用電極手段間に夫々積層されるが、少くとも二つ以上の電極が夫々交互に相互逆方向接地端子にのみ連結されるように形成された高周波ノイズ通路用電極手段を備えている高周波ノイズ除去用チップ型キャパシタを提供する。

【0016】また、上記両側の接地端子に夫々連結されて、最上層及び最下層に積層される一組の電極手段；上記一組の接地用電極手段間に積層されるが、少くとも一組以上に積層されて信号線の一部として用いられる信号線用電極手段；及び上記信号線用電極手段の一組を成す両信号線用電極手段間に夫々一つずつ積層され、上記各組の信号線用電極手段間に積層された電極が夫々交互に相互逆方向接地端子にのみ連結されるように形成された高周波ノイズ通路用電極手段を備えている高周波ノイズ除去用チップ型キャパシタを提供する。

【0017】

【実施例】以下、本発明の実施例を詳細に説明する。

【0018】図4ないし図6は、本発明を適用した内部電極形状図であって、夫々互いに異なる実施例を示す。これらの各図において、7は内部電極に形成された凹凸部である。

【0019】図4は、図面に示す通り、除去される高周波ノイズにより発生される電流の流れが互いに相反するようにするために接地端子に連結される両側端面右側の一定部分を逆方向へ深く陥没（切り欠き）除去して凹凸部7を形成したものである。

【0020】従って、多数層の積層時に上記構造及び裏返して置いた構造を交互に積層させると、相反する電流の流れにより発生される電磁場が互いに相殺されて高周波で等価直列抵抗を減少させ、インダクタンスも減少させることになる。

【0021】図5は別の実施例であって、図面に示す通り、除去される高周波ノイズにより生成される電流の向きが互いに相反するようにするために接地端子に連結される両側端面右側の一定部分を反対側の接地端子側へ深く陥没（切り欠き）除去した構造（図4参照）に加えて、さらに両側外部端子側へ一定の幅及び深さをもって陥没（切り欠き）除去し、凹凸部7を形成したものである。

【0022】従って、このような形状を有する内部電極を多層に積層するとき、正しく置いた構造と裏返して置いた構造を交互に積層させて発生電流の流れを相反するようにすることにより、形成される電磁場が互いに相殺されて高周波での等価直列抵抗及びインダクタンスを大

10

20

30

40

50

いに減少させることができるようになる。

【0023】図6は、さらに別の実施例であって、図面に示す通り、接地端子に連結される両側接面右側の一定部分を夫々外側方向へ一定角度で傾くように深く陥没除去させて凹凸部7を形成したものである。

【0024】上記の場合と同様に、このような形状を有する内部電極を多層に積層するとき、正しく置いた構造と裏返して置いた構造を交互に積層させて、発生する電流の流れを相反するように形成させることにより、電磁場が互いに相殺されて高周波での等価直列抵抗及びインダクタンスが減少する。

【0025】更に、上記各実施例において、高価な材質を用いなければならない内部電極の実際の面積は、陥没させて形成した凹凸部7についてだけ減るようになるが、正しく置いた構造と裏返して置いた構造を交互に積層させるため、静電容量を決定する有効電極面積は減らない。

【0026】図7は、本発明のその他の実施例における内部電極形状と積層構造を示す。本図において、11は誘電体、12は信号線の一部分として用いられる内部電極、13a'及び13a''は接地（アース）に連結されて高周波ノイズの通路として利用する内部電極、14'*

本実施例においては、上記内部電極13a'、13a''として、十文字（ \oplus ）

【0030】の従来構造から接地端子に連結された一方の側の突出面を除去させた構造（ \ominus ）を採用した。

【0031】図8は、本発明によるさらに別の実施例の内部電極形状と積層構造を示す。本図において、21は誘電体、22は信号線の一部分として用いられる内部電極、23b'及び23b''は高周波ノイズ通路用内部電極、24'及び24''は接地と連結される最上層及び最下層の内部電極を夫々示す。

【0032】本実施例の場合は、図示の通り、信号線で動作される内部電極22間毎に、接地に連結される内部※

本実施例においても上記内部電極23b'、23b''として、十文字（ \oplus ）の

【0034】従来構造から一方の接地接触面を除去させた構造（ \ominus ）を採用した。

【0035】そして、本発明においては、上記図7及び図8に示す内部電極形状13a'、13a''、23b'、23b''の通り、従来の内部電極形状3に比して静電容量の減少を伴うことなく、高価な材質を用いなければならない内部電極の面積を減少させることができる。

【0036】

【発明の効果】従って、上述の通りの本発明は、次に述べる効果が得られる。

【0037】内部電極の材質は従来に比べてより少なく用いることになるが、信号線の一部分として用いられる内部電極（2）と接地に連結される内部電極により静電

*及び14''は接地と連結される最上層の内部電極および最下層の内部電極を夫々示す。

【0027】最上層と最下層の内部電極14'、14''は、両側の接地端子（図2における5'、5''）に全て連結する。そのようにして接地に連結される内部電極13a'、13a''等の電位が一致するようにし、3端子チップ型キャパシターを実際に用いるとき、3端子チップ型キャパシターの一つの接地端子5'又は5''が接地線から離れても内部電極13a'、13a''等が機能を遂行できるようにする。

【0028】しかし、信号線の一部分として用いられる内部電極12間毎に夫々積層され、接地端子に連結される二つ以上の内部電極13a'、13a''等は夫々交互に相互逆方向の一方の接地端子6'、6''にのみ連結されるように内部電極を形成して、内部電極13a'と内部電極13a''に流れる電流の向きが互いに相反するようにすることにより、電磁場が互いに相殺されて高周波での等価直列抵抗を減少させることができ、インダクタンスも減少させることになる。

【0029】

【外1】

※電極23b'又は23b''を夫々一つずつ割当てて積層させた構造であって、内部電極22間に積層される高周波ノイズ通路用内部電極23b'又は23b''が交互に相互逆方向の一方接地端子6'又は6''にのみ連結されるようにその内部電極を形成し、その内部電極を流れる電流による電磁場を互いに相殺させて高周波での等価直列抵抗及びインダクタンスを減少させている。

【0033】

【外2】

容量を決定する有効電極面積は同じであるため、静電容量の減少はなく、周波数が高くなる程素子の等価直列抵抗を多く減少させることができるので、電力損失による熱の発生と温度上昇を防ぐことができる。

【0038】また、接地に連結される内部電極の高周波でのインダクタンスも多く減少し、高周波数でのインピーダンスも少なくなるので、高周波ノイズを除去するのに有利となる長所が得られる。

【0039】更に、高価な内部電極材質の使用量が減るので、製造単価を節減することができる。

【0040】そして、本発明による高周波ノイズ除去用チップ型キャパシターを、コンピューター、通信機器等の電子機器の信号線において数多く問題となっている高周波ノイズ除去のために用いる場合には、その作用効果

は格別に大となる。

【図面の簡単な説明】

【図 1】従来から知られている 3 端子チップ型キャパシターにおいて接地（アース）に連結される内部電極を対に積層した構造図である。

【図 2】一般的な 3 端子チップ型キャパシターの外形図である。

【図 3】3 端子チップ型キャパシターの電氣的等価回路図である。

【図 4】本発明の一実施例における内部電極形状図である。

【図 5】本発明のその他の一実施例における内部電極形状図である。

【図 6】本発明のその他の一実施例における内部電極形

状図である。

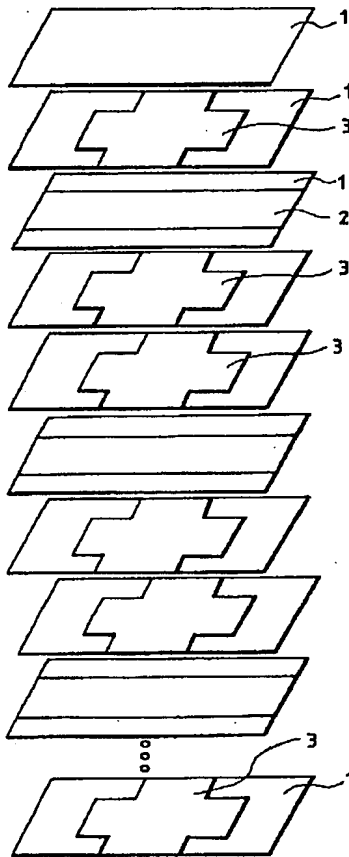
【図 7】本発明のその他の一実施例における内部電極形状図である。

【図 8】本発明のその他の一実施例における内部電極形状図である。

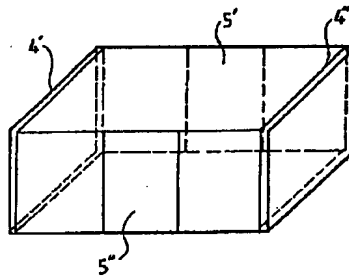
【符号の説明】

- 1, 1 1, 2 1 誘電体
- 2, 1 2, 2 2 信号線用内部電極
- 3, 1 3, 2 3 高周波ノイズ通路用内部電極
- 4', 4'' 外部端子
- 5', 5'' 接地端子
- 6', 6'' 信号線
- 7 内部電極の凸凹部

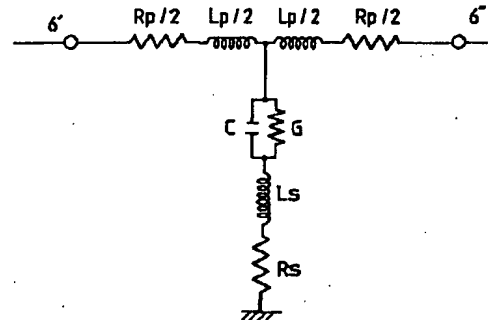
【図 1】



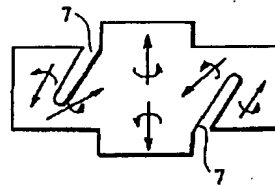
【図 2】



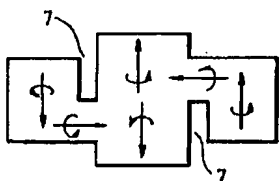
【図 3】



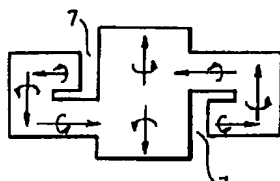
【図 6】



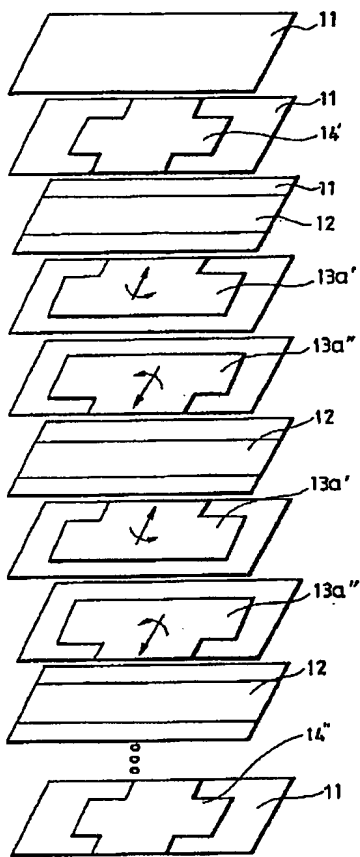
【図 4】



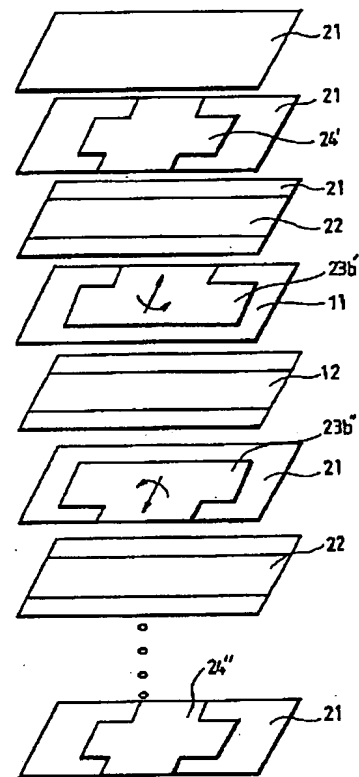
【図 5】



【図7】



【図8】



フロントページの続き

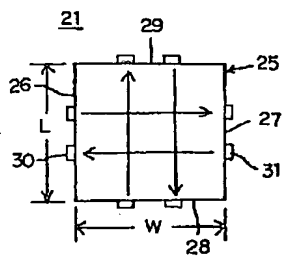
(72)発明者 チャン ホァ イ
大韓民国 大田直轄市 デドクグ ボブド
ン ジュゴンアパート 210-1412

(72)発明者 サン ソク イ
大韓民国 大田直轄市 ソグ ガジョンド
ン ジュゴンアパート 18-405

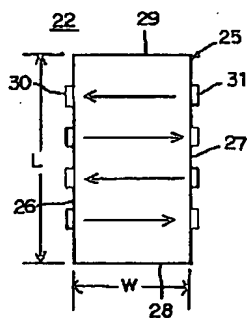
(72)発明者 ソク チン イ
大韓民国 大田直轄市 ドング ヨンウン
ドン ジュゴンアパート 206-212

(72)発明者 テ グ チョエ
大韓民国 大田直轄市 ユソング ドリョ
ンドン 391 タウンハウス 10-206

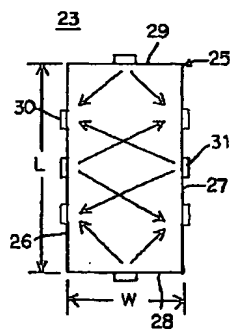
【図4】



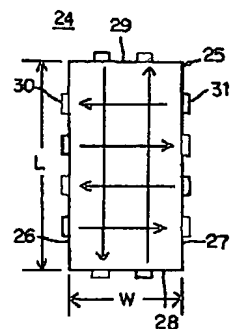
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 谷口 政明
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
(72)発明者 堀 晴雄
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72)発明者 近藤 隆則
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
Fターム(参考) 5E001 AB03 AC03 AJ01
5E082 AA01 AB03 BB05 BC14 CC17
EE04 EE35 FF05 FG06 FG26
GG10 GG28